

# Monolithic integrated DA convertor with bipolar transistors.

Publication number: EP0074436

Publication date: 1983-03-23

Inventor: LANG MANFRED

Applicant: ITT IND GMBH DEUTSCHE (DE); ITT (US)

Classification:

- international: **H03M1/68; H03M1/00; H03M1/68; H03M1/00; (IPC1-7):**  
H03K13/05

- European: H03M1/00

Application number: EP19810201007 19810910

Priority number(s): EP19810201007 19810910

Also published as:



JP58054728 (A)

EP0074436 (B1)

Cited documents:



US3890611

FR2291649

DE2532580

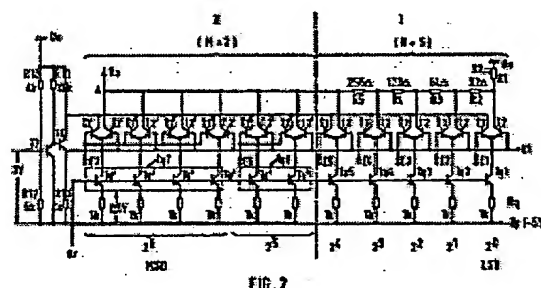
GB2069265

FR2404957

[Report a data error here](#)

## Abstract of EP0074436

1. Monolithic integrated D/A converter comprising bipolar current-source transistors (Tq) whose base regions are jointly connected to a reference voltage (Ur) and whose emitter regions are each connected through an emitter resistor (Rq) to a forward-voltage source (-Up) and which consist in part of similar current-source transistor units and whose individual collector regions are connected to the emitters of a least one pair of bipolar switching transistors which serve to switch the currents of the individual current-source transistors (Tq) between ground potential (Uo) and the output (A) and consist in part of pairs of similar switching-transistor units, with - the base terminals of the first transistors (T1) of the switching-transistor pairs connected each to one of the bit lines (E), - the collector terminals of these first transistors connected jointly to ground potential (Uo), - the base terminals of the second transistors (T2) of the switching-transistor pairs connected jointly to the output of a voltage source (Ut), and - the collector terminals of the second transistors connected to the output (A) of the converter, characterized in that - the converter is divided into a first N-bit converter section (I) with weighted resistors and a second M-bit converter section (II) with weighted currents, in which second converter section (II) the collector terminals of the second transistors (T2') are all together connected directly to the output (A) of the converter, - in the first converter section (I), n resistors are connected in series between ground potential (Uo) and the output (A), the first of which (R1) has a value of Ro, while the other (R2-Rn) have the values  $R_n = 2^{n-2} \cdot R_0$  for  $n=2$ , and - each of the nodes of the n resistors (R1 ... Rn) is connected to the collector terminal of the second transistor (T2) of one of the switching-transistor pairs, while that terminal of the last resistor (Rn) located on the output side is connected to the output (A) directly and to the collector of the second transistor (T2) of the nth



switching-transistor pair, so that the collectors of the second transistors (T2) in the first converter section (I), with the exception of that at the output end, are connected to the output (A) through at least one of the resistors R2 to Rn.

---

Data supplied from the *esp@cenet* database - Worldwide

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—54728

⑫ Int. Cl.<sup>3</sup>  
H 03 K 13/05

識別記号  
1 0 2

庁内整理番号  
7530—5 J

⑬ 公開 昭和58年(1983)3月31日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ バイポーラトランジスタによるモノリシック  
集積 D/A コンバータ

⑮ 特 願 昭57—157969

⑯ 出 願 昭57(1982)9月10日

優先権主張 ⑰ 1981年9月10日 ⑱ 西ドイツ  
(DE) ⑲ 81201007.2

⑳ 発 明 者 マンフレッド・ランク  
ドイツ連邦共和国デー - 7832 ケ

⑳ 出 願 人 シツインゲン・ブライテンフエ  
ルトシュトラッセ 27

アイティー・テイ・インダストリ  
ーズ・インコーポレーテッド  
アメリカ合衆国ニューヨーク州  
10022 ニューヨーク・パーク・  
アヴェニュー 320

㉑ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

バイポーラトランジスタによるモノリシッ  
ク集積 D/A コンバータ

2. 特許請求の範囲

(1) ベース領域が基準電圧 ( $U_r$ ) に接続され、  
エミッタ領域がそれぞれエミッタ抵抗 ( $R_q$ ) を  
通って該エミッタ領域に対する順方向電圧源  
( $-U_p$ ) に接続されているバイポーラ電流源ト  
ランジスタ ( $T_q$ ) を具備し、それ等トランジス  
タ ( $T_q$ ) は並列接続された同様の電流源トラン  
ジスタユニットの一部を構成し、それ等の個々  
のコレクタ領域は電流源トランジスタ ( $T_q$ ) の  
個々の電流を接地電位 ( $U_0$ ) と出力端子 (A) との  
間で開閉し、並列接続された同様のスイッチン  
グトランジスタユニットの対の一部を構成する  
少なくとも 1 対のバイポーラスイッチングトラン  
ジスタのエミッタに接続されており、スイッ  
チングトランジスタ対の第 1 のトランジスタの  
ベース端子はそれぞれビット値の 1 つに接続さ

れ、それ等第 1 のトランジスタのコレクタ端子  
は接地電位 ( $U_0$ ) に接続され、スイッチングト  
ランジスタ対の第 2 のトランジスタのベース端  
子は電流源の出力端子に接続され、第 2 のトラン  
ジスタのコレクタ端子はコンバータの出力端子  
(A) に接続されているモノリシック集積 D/A コ  
ンバータにおいて、

コンバータは重み付け抵抗を有する N ビット  
の第 1 のコンバータ・セクション (I) と、電流の  
重み付けを有する M ビットの第 2 のコンバータ  
セクション (II) とに分割され、第 2 のコンバータ  
セクション (II) においては第 2 のトランジスタ  
( $T_{q'}$ ) のコレクタ端子は直接コンバータの出力  
端子 (A) に接続され、

重み付け抵抗を有する第 1 のコンバータ・セ  
クション (I) においては n 個の抵抗が接地電位  
( $U_0$ ) と出力端子 (A) との間に直列に接続され、  
その第 1 の抵抗 ( $R_1$ ) の抵抗値  $R_1$  に対して他  
の抵抗 ( $R_2 \dots R_n$ ) は  $R_n = 2^{n-2} \cdot R_1$  の抵抗値  
(ただし  $n = 2$  ないし  $n$ ) を有しており、

前記  $n$  個の抵抗 ( $R_1 \dots R_n$ ) の各接続点はスイッチングトランジスタ対の1つの第2のトランジスタ ( $T_2$ ) のコレクタ端子に接続され、出力端子側に位置する最後の抵抗 ( $R_n$ ) の端子は直接出力端子(A)に接続されると共に  $n$  番目のスイッチングトランジスタ対の第2のトランジスタ ( $T_2$ ) のコレクタに接続されそれにより出力端にあるものを除いて第1のコンバータ・セクション(I)の第2のトランジスタ ( $T_2$ ) のコレクタは抵抗 ( $R_2$  ないし  $R_n$ ) の少なくとも1個を通して出力端子(A)に接続されていることを特徴とするモノリシック集積D/Aコンバータ。

(2) 第3番目以下の抵抗 ( $R_3, R_4 \dots R_n$ ) が、 $R_2$  と異なる抵抗値を有し、抵抗値  $R_2$  の第1の抵抗 ( $R_1$ ) と同一寸法、同一不純物分布を有する抵抗値  $R_2$  の同様の抵抗の直列接続により構成されていることを特徴とする特許請求の範囲第1項記載のD/Aコンバータ。

(3) スwitchングトランジスタおよびスウィ

-3-

不純物分布を有することを特徴とする特許請求の範囲第1項ないし第4項のいずれか記載のD/Aコンバータ。

(6) 電流の重み付けを有する第2のコンバータ・セクション(II)のスイッチングトランジスタ対が同一寸法、同一不純物分布を有する同様のトランジスタ ( $T_1', T_2'$ ) の並列接続された対で構成されていることを特徴とする特許請求の範囲第1項ないし第5項のいずれか記載のD/Aコンバータ。

(7)  $N$  が5であり、 $M$  が2であることを特徴とする特許請求の範囲第1項ないし第6項のいずれか記載のD/Aコンバータ。

### 3. 発明の詳細な説明

#### 〔発明の技術的背景〕

この発明はMHz範囲で高速デジタル-アナログ(以下D/Aと記載する)変換を行なうための、電流源トランジスタおよびスイッチングトランジスタとしてバイポーラトランジスタを使用した集積されたD/Aコンバータに関するも

-5-

ノングトランジスタユニット ( $T_1, T_2; T_1', T_2'$ ) の各対が電流源トランジスタユニット ( $T_{q1} \dots T_{qn}; T_{q1}' \dots T_{qn}'$ ) の1つと直列に接続され、電流源トランジスタ ( $T_{q1} \dots T_{qn}$ ) および電流源トランジスタユニット ( $T_{q1}' \dots T_{qn}'$ ) のエミッタ端子が等しい値の抵抗 ( $R_q$ ) を介して順方向電圧源 ( $-U_p$ ) に接続されていることを特徴とする特許請求の範囲第1項または第2項記載のD/Aコンバータ。

(4) 共通ベース接続形式で動作される第2のトランジスタ ( $T_2, T_2'$ ) のベース端子が接地電位 ( $U_0$ ) に対して無限に低い内部抵抗の電圧源の出力端子に接続されていることを特徴とする特許請求の範囲第1項ないし第3項のいずれか記載のD/Aコンバータ。

(5) 一方ではスイッチングトランジスタユニット対 ( $T_1', T_2'$ ) およびスイッチングトランジスタ対 ( $T_1, T_2$ ) が、また他方では電流源トランジスタ ( $T_q$ ) および電流源トランジスタユニット ( $T_{q1}' \dots T_{qn}'$ ) が互に同一寸法および同一

-4-

のである。一般によく知られているようにモノリシック集積回路においてはそのようなコンバータの形式を選択するファクタの1つは半導体ウエハ上の必要面積量である。何故ならば単位ウエハ当りの利益は必要面積量が少なくなるほど増加するからである。

重みを付した電流源を備えた形式のD/Aコンバータに対して、この問題は西ドイツ特許公報DE-AS 2803099号においては、電流源の重み付けに対応する同様の並列接続された成る数の電流源トランジスタのみならず、同様に並列接続された同様のスイッチングトランジスタユニットから成るスイッチングトランジスタを使用することによって解決されている。ここに使用されている「同様」とは各領域が同時に製作されるときに得られるような同一寸法、同一不純物分布プロファイル(ドーピングプロファイル)を有する半導体装置の場合を意味するものである。

重みを付した電流源形式のD/Aコンバータ

-6-

は約5ビット程度の小さいビット数に対してさえも所要面積量したがってキャパシタンスが高速D/A変換に対して大きくなる欠点を生じる。同じことはU. Tietze および Ch. Schenk 両氏著 "Halbleiter-Behalutungstechnik" (1980年) 第635ないし第637頁に記載された抵抗回路網を具備するD/Aコンバータについても云うことができる。もしもこの形式のD/Aコンバータがモノリシック集積回路技術を使用して構成されるならば、抵抗を実現するために必要な面積量は、単純なコンバータ特性を得るために同じ構造および不純物濃度プロファイルの並列或は直列接続された抵抗が使用される場合にはビット数の増加およびRC積と共に増加する。

回路網中の多数の抵抗のために大きな面積が必要なモノリシック集積D/AコンバータはPN接合容量だけを考慮しても動作が遅くなることは明らかである。高速D/Aコンバータにおいてはコレクタ回路中の個々の電圧の合計はRC梯子(ladder)回路網に対する影響ができるだけ

-7-

構成するバイポーラ電流源トランジスタを具備し、それ等のベースは基準電圧に接続されている。このモノリシック集積D/Aコンバータにおいては差動増幅器を構成する1対のバイポーラスイッチングトランジスタのそれぞれの第2のトランジスタのコレクタ端子は直接コンバータの出力端子に接続されている。それに対して、この発明によるコンバータにおいてはバイポーラスイッチングトランジスタ対の第2のトランジスタの全コレクタ端子はコンバータ出力端子へ直接接続されていない。

この発明の基本的なアイデアは、半導体ウエハ上の所要面積量を減少させるためにコンバータを重み付け抵抗を有する第1のコンバータセクションと重み付けされた電流を有する第2のコンバータセクションに分割した点にある。

この発明によれば、出力端子におけるRC積の小さいモノリシック集積D/Aコンバータを提供するという上述の目的は特許請求の範囲第1項に記載した構成により達成される。

-9-

小さくなるようにしなければならない。そのような回路網はコンバータの周波数範囲を制限する。

また、高速D/Aコンバータにおいては故障を生じないようにするためにビット当りのスイッチング時間を等しくすることが望ましい。それ故、この問題の解決はこの発明の技術的範囲に含まれる。

#### 〔発明の概要〕

この発明の目的は、特に5以上のビット数に対して通常のコンバータの前述の欠点を大幅に避けることのできる出力におけるRC積ができるだけ小さいモノリシック集積D/Aコンバータを提供することである。

この発明は、Eugene R. Hnatok 著「ユーザ用D/AおよびA/Dコンバータ・ハンドブック」(1976年)第106頁第4/19図に示されたモノリシック集積D/Aコンバータを発展させたものであり、そのコンバータは同様の並列接続された電流源トランジスタユニットの一部を

-8-

#### 〔発明の実施例〕

以下この発明を添付図面を参照に詳細に説明する。

第1図にはこの発明のコンバータと類似している従来の技術によるD/Aコンバータが示されており、それはバイポーラ電流源トランジスタ $T_{q1}$ ないし $T_{q4}$ を具備し、LSB(最低桁ビット)に対する電流源トランジスタを除いて電流分配のための電流源トランジスタユニット $T_{q'}$ に分けられている。電流源トランジスタ $T_{q1}$ ないし $T_{q4}$ および電流源トランジスタユニット $T_{q'}$ のベース領域は基準電圧 $U_r$ に接続され、それによってスイッチング電流の大きさ、したがってコンバータの出力電圧 $V_a$ が固定される。電流源トランジスタ $T_{q1}$ ないし $T_{q4}$ のエミッタ領域は異なる値のエミッタ抵抗 $R_q$ を通してpnp電流源トランジスタ $T_{q1}$ ないし $T_{q4}$ に関しては正の極性の電流 $+U_p$ に接続されている。各電流源トランジスタのコレクタはバイポーラ・スイッチングトランジスタ $T_1, T_2; T_1', T_2'$ 対

-10-

に接続され、これ等各スイッチングトランジスタ対は差動増巾器を構成している。電流分配のためにスイッチングトランジスタ  $T_1, T_2$  の対もスイッチングトランジスタユニット  $T_1', T_2'$  対に分けられている。一方各対の第1のトランジスタ  $T_1, T_1'$  のベース端子はビット線に接続され、第2のトランジスタ  $T_2, T_2'$  のベース端子はしきい値電圧  $U_i$  に接続され、そのしきい値電圧はスイッチングトランジスタ対で形成された差動増巾器のスイッチング電圧を決定する。したがって、電流源トランジスタ  $T_q$  の個々の電流は接地電位  $U_g$  にあるラインとコンバータの出力  $A$  との間で切り換えられる。

第1図から明らかなように従来のモノリシック集積  $D/A$  コンバータに必要な面積の量が、同様のトランジスタユニットおよび抵抗ユニットだけを使用するという原則に従う限りはビット数の増加と共に指数関数的に増加する。しかしながらもしも単純な特性が得られなければならない場合にはそのような同様なユニットを使

-11-

コンバータにおいては、重みを付された抵抗を用いた  $N$  ビットの第1のコンバータ・セクションIと、重みを付された電流を有する  $M$  ビットの第2のコンバータセクションIIとにコンバータを分割することによって所要面積量を著しく減少させることが可能である。一方第2のコンバータセクションIIの第2のトランジスタ  $T_2'$  のコレクタ端子は直接コンバータの出力端子  $A$  に接続され、第1のコンバータセクションIの対応する第2のトランジスタ  $T_2$  のコレクタ端子は出力端の1個を除いて抵抗  $R_2$  ないし  $R_0$  (第2図の実施例では  $R_2$  ないし  $R_5$ ) の少なくとも1個を過ってこの出力端子  $A$  に接続される。抵抗  $R_2$  ないし  $R_5$  は抵抗  $R_1$  と共に接地電位  $U_g$  と出力端子  $A$  との間に直列に接続され、それ等の抵抗の値は  $R_n = 2^{n-2} \cdot R_0$  になるように選ばれている。ここで  $n$  は2ないし  $\infty$  であり、 $R_0$  は抵抗  $R_1$  の値である。5ビットのコンバータ・セクションIに対しては  $R_1 = 32 \Omega$ ,  $R_2 = 32 \Omega$ ,  $R_3 = 64 \Omega$ ,  $R_4 = 128 \Omega$ ,

-13-

特開昭58- 54728(4)

用することを止めることはできない。

従来のコンバータは別の欠点も有している。それはスイッチングトランジスタユニット  $T_1, T_2; T_1', T_2'$  が等しい電流を開閉せず、そのため異なるスイッチング時間が得られることである。しかしながら故障が生じないようにするためには等しいスイッチング時間が必要である。

それに比較して、第2図に示すこの発明の  $D/A$  コンバータはビット当たり等電流を開閉することができる。何故ならば同様のスイッチングトランジスタユニットおよびスイッチングトランジスタ  $T_1', T_2'$  および  $T_1, T_2$  は同様の電流源トランジスタユニット或は電流源トランジスタ  $T_{q'}, T_{q1}$  ないし  $T_{q5}$  からの等しい電流を開閉するからであり、それ等電流源トランジスタユニットおよび電流源トランジスタのエミッタ端子は等しい値の抵抗  $R_q$  を介して負極性電圧源  $-U_p$  に接続される。

従来のコンバータに比較してこの発明による

-12-

$R_5 = 256 \Omega$  の5個の抵抗が設けられ、それ等の接続点にスイッチングトランジスタ対の1つの第2のトランジスタ  $T_2$  のコレクタ端子が接続されている。最後の抵抗  $R_5$  の出力端子  $A$  側の端子は直接出力端子  $A$  に接続されると共にスイッチングトランジスタの第5番目の対の第2のトランジスタのコレクタに接続されている。

順次変化した値の  $n$  個の直列接続された抵抗の代りに  $R/2$  回路網を使用することが知られている。何故ならばそのような回路網は同様の拡散抵抗によって容易に製造することができ、それ故製造の際の変動がビット値に同じように影響するからである。同様の効果はこの発明のコンバータの第1のコンバータ・セクションI中の抵抗  $R_3$  ないし  $R_5$  のそれぞれを置換することによって得ることができる。それ等の値は抵抗  $R_0$  の同じ抵抗の直列配置によって  $R_0$  と異なる値にされる。

第2図の実施例においてスイッチングトランジスタ  $T_1, T_2$  の各対およびトランジスタ

-14-

$T_{1'}$ 、 $T_{2'}$ の各対は電流源トランジスタ $T_{q1}$ ないし $T_{q5}$ の1つおよび電流源トランジスタユニット $T_{q'}$ の1つとそれぞれ直列に接続されている。さらに、電流源トランジスタ $T_{q1}$ ないし $T_{q5}$ および電流源トランジスタユニット $T_{q'}$ のエミッタ端子は等しい値の抵抗 $R_q$ を介して負極性電圧源 $-U_p$ に接続されている。したがって全スイッチングトランジスタ $T_1$ 、 $T_2$ およびスイッチングトランジスタユニット $T_{1'}$ 、 $T_{2'}$ は等しい内部抵抗を通る同じ電流を開閉する。何故ならばそれ等は同一寸法、同一不純物プロファイルのものであるからである。これはスイッチング時間の同一性を確保し、そのため故障は最小の値まで減少する。

既知の $R/2R$ 回路網の代りにこの発明によるコンバータ・セクションにおいて直列接続の抵抗 $R_2$ ないし $R_0$ を使用することは別の効果を生じる。すなわち入力端子 $E_1$ ないし $E_2$ にビットが供給される際の変化の場合にチャージされ或はその電荷が逆転されなければならない

-15-

物分布に製作される。これはそれ等の領域が同時に形成されることを意味する。適当な製造技術は例えばいわゆる3D技術であり、それにおいては領域に対する不純物は3回の順次のマスクイオン注入処理によって沈着され、沈着に続く拡散処理中に同時に半導体中に導入される (Electronica、1975年8月7日号第101ないし106頁参照)。同様の方法によって第2のコンバータ・セクションIIのスイッチングトランジスタ対も製作される。それ等は同一寸法、同一不純物分布を有する並列接続された同様のトランジスタ $T_{1'}$ および $T_{2'}$ の対から形成される。

この発明は第1の、5ビットコンバータ・セクションIと第2の、2ビットコンバータ・セクションIIとを有するモノリシック集積 $D/A$ コンバータに特に有利に利用できる。通常のコンバータと比較して、この発明によるそのような7ビットコンバータは半導体ウエハ上の必要面積の量を著しく減少させることができる。

-17-

特開458-54728(5)

PN接合容量が非常に低くなるように構成することを可能にする。第2図の実施例においては、この発明による $D/A$ コンバータは、トランジスタ $T_3$ および $T_4$ ならびに抵抗 $R_{10}$ 、 $R_{11}$ 、 $R_{12}$ 、 $R_{13}$ により構成され、接地電位 $U_0$ に関して無限に低い内部抵抗を有する電圧源を具備している。この電圧源はしきい値電圧 $U_i$ を発生し、それはスイッチングトランジスタ対の第2のトランジスタ $T_2$ 、 $T_{2'}$ のベースに供給される。電圧源の無限に低い内部抵抗のために、共通ベース接続形式で動作する第2のトランジスタのベースは実質的に接地電位に接続されて高周波に対する通路を与え、第2の抵抗を通してスイッチの入力に及ぼす電圧の作用を無視できるようにする。

前述の説明から明らかなように、一方ではスイッチングトランジスタユニット $T_{1'}$ 、 $T_{2'}$ 対およびスイッチングトランジスタ $T_1$ 、 $T_2$ 対、他方では電流源トランジスタ $T_q$ および電流源トランジスタユニット $T_{q'}$ は同一寸法、同一不純

-16-

#### 4. 図面の簡単な説明

第1図はこの発明の基礎となっている従来の $D/A$ コンバータの回路図であり、第2図はこの発明によるモノリシック集積 $D/A$ コンバータの1実施例の回路図である。

$T_q$ …電流源トランジスタ、 $T_{q'}$ …電流源トランジスタユニット、 $T_1$ 、 $T_2$ …スイッチングトランジスタ、 $T_{1'}$ 、 $T_{2'}$ …スイッチングトランジスタユニット、 $R_q$ …エミッタ抵抗。

出願人代理人 弁理士 鈴 江 武 彦

-18-

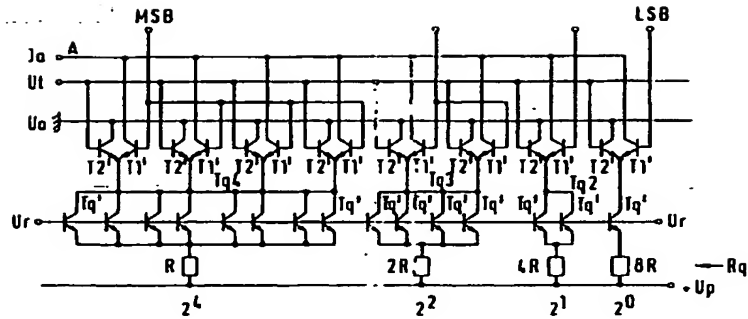


FIG. 1

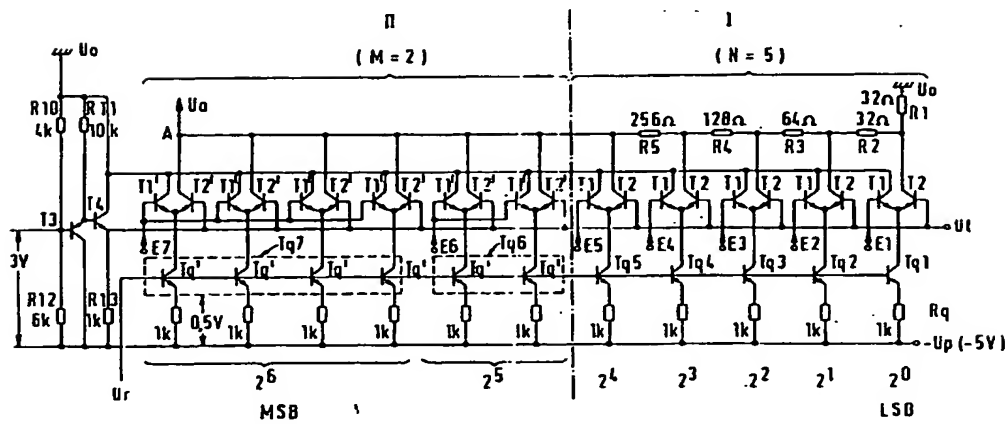


FIG. 2